

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 7 月 21 日 (21.07.2005)

PCT

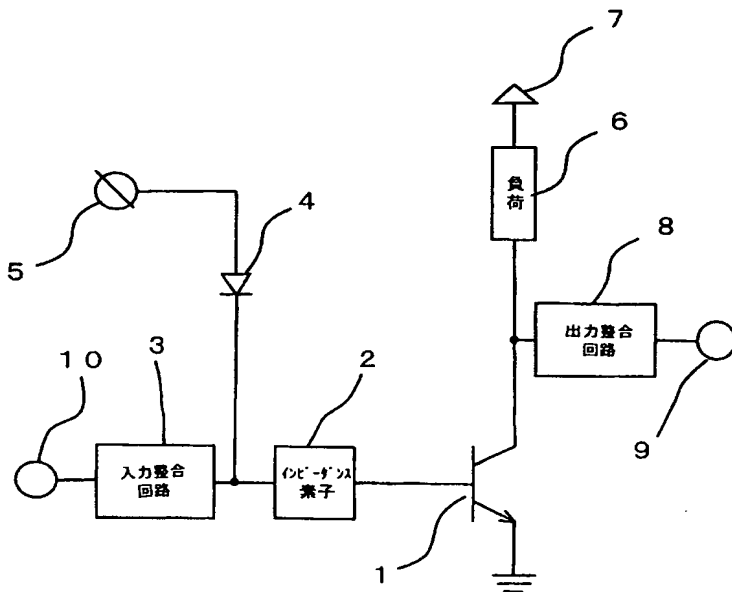
(10) 国際公開番号
WO 2005/067139 A1

- (51) 国際特許分類⁷: H03F 1/32
(21) 国際出願番号: PCT/JP2004/019526
(22) 国際出願日: 2004 年 12 月 27 日 (27.12.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-000672 2004 年 1 月 5 日 (05.01.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 青木 雄一 (AOKI, Yuuichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

/続葉有/

(54) Title: AMPLIFIER

(54) 発明の名称: 増幅器



- 3 INPUT MATCHING CIRCUIT
2 IMPEDANCE ELEMENT
6 LOAD
8 OUTPUT MATCHING CIRCUIT

(57) Abstract: There is provided means for compensating a distortion for a multi-stage amplifier having gain extension characteristic. Moreover, there is provided a method for using an amplification stage having gain extension characteristic in all the stages by performing bias in the state near to class B in which the power addition efficiency is good during low output. There is provided an amplifier having gain extension characteristic for increasing a gain in accordance with increase of an input power or an output power in a certain range of the input power or the output power. In the amplifier, a base terminal of an emitter grounding amplification circuit formed by a first bipolar transistor is connected to an input matching circuit via a first impedance element not inhibiting DC current and to a cathode of a first diode for supplying bias voltage. The first diode has an anode connected to a reference power source serving as a sufficiently low impedance at high frequency.

/続葉有/



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、利得拡張特性を持つ多段増幅器に対して、歪みを相殺する手段を提供する。また、低出力時の電力付加効率の良いB級に近い状態でバイアスして利得拡張特性を持つ増幅段を多段増幅器の全ての段において用いる手法を提供する。本発明の増幅器は、入力電力または出力電力のある範囲において前記入力電力または前記出力電力の増加に応じて利得が増加する利得拡張特性を持つ増幅器において、第1のバイポーラトランジスタより成るエミッタ接地増幅回路のベース端子が、直流を阻止しない第1のインピーダンス素子を介して入力整合回路とバイアス電圧を供給する第1のダイオードのカソードに接続されており、前記第1のダイオードのアノードは、高周波で十分低いインピーダンスとなる基準電源に接続されていることを特徴とする。